

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2003168652
PUBLICATION DATE : 13-06-03

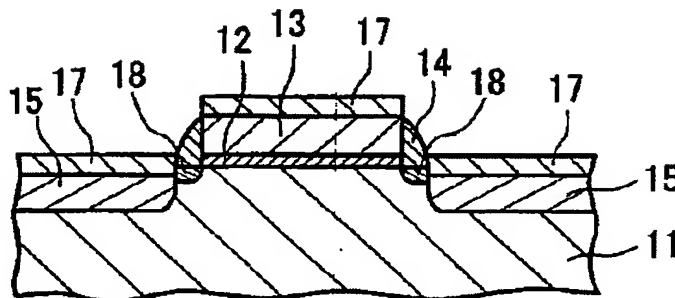
APPLICATION DATE : 29-11-01
APPLICATION NUMBER : 2001365043

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : ITONAGA SOICHIRO;

INT.CL. : H01L 21/28 H01L 21/3205 H01L 21/336
H01L 29/78

TITLE : SEMICONDUCTOR DEVICE AND
METHOD OF MANUFACTURING THE
SAME



ABSTRACT : PROBLEM TO BE SOLVED: To evenly achieve the reduction of the resistance of a gate electrode and of source/drain regions and reduction of junction leakage currents in source/drain regions in a MOS transistor having silicides on the surfaces of the gate electrode and of the source/drain regions.

SOLUTION: This method of manufacturing a semiconductor device comprises a step of forming a gate electrode 13 made of silicon on a silicon substrate 11, a step of forming impurity-diffused regions 15 in the substrate 11, a step of forming a metal layer containing cobalt and nickel on the surface of the gate electrode 13 and of at least one of the impurity-diffused regions 15, a step of forming a silicide layer 17 containing silicon, cobalt and nickel on each by heat treatment to make the metal layer react with the silicon substrate 11 or with the silicon contained in the gate electrode 13, and a step of forming a wiring layer for electrically contacting the silicide layer 17 on each.

COPYRIGHT: (C)2003,JPO

THIS PAGE BLANK (USPTO.)

(11)特許出願公開番号

特開2003-168652

(P2003-168652A)

(43)公開日 平成15年6月13日(2003.6.13)

(51) Int.Cl.⁷

識別記号

FI

テーマコード* (参考)

H O 1 L 21/28

H O 1 L 21/28

K 4M104

301

301D 5F033

21/3205

29/78

301P 5F140

21/336

21/88

Q

29/78

Q

審査請求 未請求 請求項の数11 O.L (全 9 頁)

(21)出願番号 特願2001-365043(P2001-365043)

(22)出願日 平成13年11月29日(2001. 11. 29)

(71)出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 奥野 泰利

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 糸長 総一郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 110000040

特許業務法人池内・佐藤アンドパートナーズ

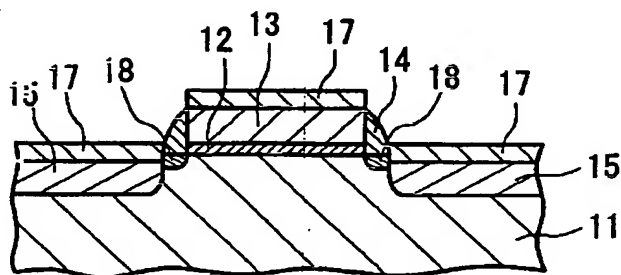
[最終頁に続く](#)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ゲート電極およびソース・ドレイン領域表面にシリサイドを備えたMOSトランジスタにおいて、ゲート電極およびソース・ドレイン領域の低抵抗化と、ソース・ドレイン領域における接合リーク電流の低減とを両立させる。

【解決手段】 シリコン基板 11 上にシリコンからなるゲート電極 13 を形成する工程と、前記基板 11 内に不純物拡散領域 15 を形成する工程と、前記ゲート電極 13 および前記不純物拡散領域 15 の少なくとも一方の表面にコバルトおよびニッケルを含む金属層を形成する工程と、熱処理によって前記シリコン基板 11 または前記ゲート電極 13 に含まれるシリコンと前記金属層とを反応させて、シリコン、コバルトおよびニッケルを含むシリサイド層 17 を形成する工程と、前記シリサイド層 17 と電気的に接続された配線層を形成する工程とを実施する。



【特許請求の範囲】

【請求項1】 シリコン基板上にシリコンを含む電極を形成する工程と、前記基板内に不純物拡散領域を形成する工程と、前記電極および前記不純物拡散領域の少なくとも一方の表面に、コバルトおよびニッケルを含む金属層を形成する工程と、熱処理によって前記基板または前記電極に含まれるシリコンと前記金属層とを反応させて、シリコン、コバルトおよびニッケルを含むシリサイド層を形成する工程とを含む半導体装置の製造方法。

【請求項2】 前記シリサイド層を形成する工程において、前記熱処理温度が750℃以下である請求項1に記載の半導体装置の製造方法。

【請求項3】 前記金属層が、コバルトおよびニッケルを含む合金で形成されている請求項1または2に記載の半導体装置の製造方法。

【請求項4】 前記金属層におけるコバルトとニッケルとの原子比(Co: Ni)が、95:5~50:50の範囲である請求項3に記載の半導体装置の製造方法。

【請求項5】 前記金属層を形成する工程が、コバルトおよびニッケルを含む合金をターゲットとしたスパッタリングを実施する工程である請求項3または4に記載の半導体装置の製造方法。

【請求項6】 前記金属層が、コバルト層とニッケル層とを含む多層構造で形成されている請求項1または2に記載の半導体装置の製造方法。

【請求項7】 前記金属層において、コバルト層の層厚(T_{Co})とニッケル層の層厚(T_{Ni})との比($T_{Co}: T_{Ni}$)が、95:5~50:50の範囲である請求項6に記載の半導体装置の製造方法。

【請求項8】 前記金属層を形成する工程が、コバルトをターゲットとしたスパッタリングを実施する工程と、ニッケルをターゲットとしたスパッタリングを実施する工程とを含む請求項6または7に記載の半導体装置の製造方法。

【請求項9】 前記シリサイド層を形成する工程において、前記熱処理が2段階以上で実施される請求項1~8のいずれか一項に記載の半導体装置の製造方法。

【請求項10】 シリコン基板と、前記基板上に形成されたシリコンを含む電極と、前記基板内に形成された不純物拡散領域とを備えた半導体装置であって、前記電極および前記不純物拡散領域の少なくとも一方の表面に、シリコン、コバルトおよびニッケルを含むシリサイド層が形成されていることを特徴とする半導体装置。

【請求項11】 前記シリサイド層の組成が、 $Co_{1-x}Ni_xSi_2$ (但し、 $0.05 \leq x \leq 0.5$ である。)で表される請求項10に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MOSトランジスタなどの半導体装置およびその製造方法に関するもので

ある。

【0002】

【従来の技術】 近年、MOSトランジスタなどの半導体装置の微細化に伴ない、ソース・ドレイン領域を構成する不純物拡散領域のシート抵抗上昇に起因した応答速度の遅延が顕在化している。また、ゲート電極としては通常ポリシリコンが用いられているが、シリコンは抵抗が高いため、このゲート電極についても同様に配線遅延が問題となっている。このような問題を解決する手段として、ゲート電極およびソース・ドレイン領域上に $CoSi_2$ 層を形成し、これによって低抵抗化を図ることが提案されている。この $CoSi_2$ 層を備えた半導体装置は、例えば、特開平7-78788号公報、および、「A Robust 0.15um CMOS Technology with $CoSi_2$ salicide and shallow trench isolation」H. Kawaguchi et. al 1997 Symposium on VLSI technology Digest of technical paper 9B-4(1997) pp125-126などに記載されている。

【0003】 上記半導体装置の製造方法について説明する。まず、シリコン基板上にゲート絶縁膜を介してポリシリコンからなるゲート電極を形成した後、ゲート電極をマスクとしたイオン注入を実施し、低濃度の不純物拡散領域を形成する。ゲート電極の側壁に絶縁膜からなるサイドウォールを形成した後、再度イオン注入を実施し、ソース領域およびドレイン領域となる不純物拡散領域を形成し、MOSトランジスタを形成する。続いて、MOSトランジスタ全面にコバルト層を形成する。その後、第一段階の熱処理を実施し、前記コバルト層をシリサイド化する。このとき、シリサイド反応は、コバルト層とシリコン(シリコン基板またはゲート電極)とが直接接触している領域でのみ進行するため、絶縁膜からなるサイドウォール上および素子分離絶縁膜上においてはコバルト層が未反応のまま残存する。この未反応のコバルト層を除去した後、第二段階の熱処理を実施し、更にシリサイド反応を進行させて $CoSi_2$ 層を形成する。

【0004】

【発明が解決しようとする課題】 半導体装置の微細化に伴ない、ゲート電極およびソース・ドレイン領域の低抵抗化に加え、ソース・ドレイン領域における接合リーク電流の低減が要求されている。前述したような従来の半導体装置においては、 $CoSi_2$ 層形成工程における熱処理温度(特に、第二段階の熱処理温度)を高くすることにより、接合リーク電流を低減することが可能である。

【0005】 しかしながら、熱処理温度が高温過ぎると、 $CoSi_2$ 層の内部応力が大きくなるため、 $CoSi_2$ 層に欠陥が生じ易くなり、その結果、ゲート電極の細線抵抗が上昇する。このようなゲート電極の細線抵抗の上昇は、ゲート電極の微細化が進むに伴い、特に問題となっている。

【0006】このように、従来の半導体装置においては、ゲート電極の低抵抗化と、ソース・ドレイン領域における接合リーク電流の低減とを両立することは困難であった。

【0007】本発明は、電極の細線抵抗の低減と、不純物拡散領域における接合リーク電流の低減とを両立することが可能な半導体装置およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体装置は、シリコン基板と、前記基板上に形成されたシリコンを含む電極と、前記基板内に形成された不純物拡散領域とを備えた半導体装置であって、前記電極および前記不純物拡散領域の少なくとも一方の表面に、シリコン、コバルトおよびニッケルを含むシリサイド層が形成されていることを特徴とする。

【0009】このような構成によれば、電極の細線抵抗の低減と、不純物拡散領域における接合リーク電流の低減とを両立することが可能となる。なお、前記半導体装置としては、例えば、MOSトランジスタが挙げられるが、この場合、前記電極とはゲート電極であり、前記不純物拡散領域とはソース・ドレイン領域である。

【0010】前記半導体装置においては、前記シリサイド層の組成が、 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ (但し、 $0.05 \leq x \leq 0.5$ である。) で表されることが好ましい。この好ましい例によれば、コンタクト抵抗を上昇させることなく、電極の細線抵抗を小さくできる。

【0011】前記目的を達成するため、本発明の半導体装置の製造方法は、シリコン基板上にシリコンを含む電極を形成する工程と、前記基板内に不純物拡散領域を形成する工程と、前記電極および前記不純物拡散領域の少なくとも一方の表面に、コバルトおよびニッケルを含む金属層を形成する工程と、熱処理によって前記基板または前記電極に含まれるシリコンと前記金属層とを反応させて、シリコン、コバルトおよびニッケルを含むシリサイド層を形成する工程とを含むことを特徴とする。

【0012】このような製造方法によれば、シリサイド層形成工程における加熱温度を比較的低温で実施した場合であっても、不純物拡散領域における接合リーク電流を十分に低減することができる。よって、本発明の製造方法によれば、シリサイド層形成工程における加熱温度を低下させても、電極の細線抵抗を小さくし、尚且つ、接合リーク電流を十分に低減することができる。

【0013】本発明の製造方法によって電極の細線抵抗および接合リーク電流の低減を両立できる理由としては、次のような理由が考えられる。

【0014】接合リーク電流が生じる一因としては、シリサイド層形成のための熱処理時に、金属層を形成する金属(コバルト)がシリコン基板の深部にまで拡散し、その結果、この金属がシリコン基板深部に残留すること

が考えられる。従って、シリサイド層形成のための熱処理温度を高くすれば、短時間でシリサイド層を形成することができるため、前記金属がシリコン基板内に拡散する時間を短縮でき、接合リーク電流を低減することができると考えられる。

【0015】しかしながら、従来の半導体装置においては、金属層としてコバルト単体を用いているためシリサイド化に比較的高温を要する。したがって、シリサイド層形成に要する時間を短縮して、金属のシリコン基板への拡散を十分に抑制するためには、かなりの高温(例えば、 875°C 以上)を要する。前述したように、このような高温域では、シリコン電極の細線抵抗の低抵抗化は非常に困難である。

【0016】これに対して、ニッケルを添加したコバルトは、コバルト単体よりも低温の熱処理でシリサイド化することができる。よって、ニッケルを添加したコバルトを用いることにより、熱処理温度が比較的低温であっても、シリサイド層形成のための熱処理時間、すなわち金属層を形成する金属がシリコン基板内に拡散する時間を短縮し、前記金属の基板深部への拡散を十分に抑制することができる。その結果、シリコン電極の細線抵抗の低減と、接合リーク電流の低減とを両立することが可能となるものと考えられる。

【0017】前記製造方法においては、前記シリサイド層を形成する工程において、前記熱処理温度を 750°C 以下とすることも可能である。本発明の製造方法によれば、このような低温の熱処理であっても、不純物拡散領域における接合リーク電流を十分に低減し、尚且つ、シリコン電極の細線抵抗を十分に低減することができる。

【0018】また、前記製造方法においては、前記金属層を、コバルトおよびニッケルを含む合金で形成することができる。このような金属層は、コバルトおよびニッケルを含む合金をターゲットとしたスパッタリングを実施する工程により形成することができる。

【0019】この場合、前記金属層におけるコバルトとニッケルとの原子比($\text{Co}:\text{Ni}$)が、 $95:5 \sim 50:50$ の範囲であることが好ましい。この好ましい例によれば、コンタクト抵抗を上昇させることなく、シリコン電極の細線抵抗を小さくすることができ、且つ、接合リーク電流を更に低減することができる。

【0020】また、前記製造方法においては、前記金属層が、コバルト層とニッケル層とを含む多層構造で形成されていることが好ましい。コバルトとニッケルとの比率を精度良く制御することができるからである。このような金属層は、コバルトをターゲットとしたスパッタリングを実施する工程と、ニッケルをターゲットとしたスパッタリングを実施する工程とを含む方法により形成することができる。

【0021】この場合、前記金属層において、コバルト層の層厚(T_{Co})とニッケル層の層厚(T_{Ni})との比

($T_{Co} : T_{Ni}$) が、95 : 5 ~ 50 : 50 の範囲であることが好ましい。この好ましい例によれば、コンタクト抵抗を上昇させることなく、シリコン電極の細線抵抗を小さくすることができ、且つ、接合リーク電流を更に低減することができる。

【0022】前記製造方法においては、前記シリサイド層を形成する工程において、前記熱処理が2段階以上で実施されることが好ましい。このような熱処理方法としては、例えば、第一段階の熱処理により前記金属層をシリサイド化して、モノシリサイド層を形成した後、第二段階の熱処理により前記モノシリサイド層を更にシリサイド化して、ダイシリサイド層を形成するという二段階の熱処理が挙げられる。ここで、モノシリサイド層とは、主としてモノシリサイド (MSi ; Mは、CoおよびNiを含む金属である。) を含む層であり、ダイシリサイド層とは、主としてダイシリサイド (MSi_2 ; Mは前記と同様である。) を含む層である。

【0023】

【発明の実施の形態】以下、本発明に係る半導体装置及びその製造方法の一例について、図面を参照しながら説明する。

【0024】図1は、本発明の半導体装置の一例を示す断面図である。この半導体装置においては、半導体基板11表面にゲート絶縁膜12が形成され、更にその上にはゲート電極13が形成されている。また、ゲート電極13の側壁にはサイドウォール14が形成されている。半導体基板11としてはシリコン基板を用いることができる。ゲート電極13としてはポリシリコンを用いることができる。また、ゲート電極13の線幅は、例えば0.1 ~ 0.05 μm であり、その厚さは、例えば300 ~ 100 nmである。また、ゲート絶縁膜12としては、例えば、シリコン酸化膜を使用することができ、サイドウォール14としては、例えば、シリコン酸化膜、シリコン窒化膜などを使用することができる。

【0025】半導体基板内の表層部には、2つの不純物拡散領域15が形成されている。これらの不純物拡散領域15は、それぞれがソース領域およびドレイン領域となる領域であり、ゲート電極13を挟んで互いに離間するように形成されている。特に限定するものではないが、不純物拡散領域15の不純物濃度は、例えばドーザ量で $1 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 程度であり、その拡散深さは、例えば0.05 ~ 0.15 μm である。また、不純物拡散領域15のゲート電極13側の端部に接する領域であって、サイドウォール14の下方に存在する領域には、不純物拡散領域15よりも低濃度の不純物拡散領域18が形成されている。

【0026】更に、この半導体装置においては、ゲート電極13および不純物拡散領域15の少なくとも一方の表面に、コバルト、ニッケルおよびシリコンを含む合金層(以下、「シリサイド層」という。) 17が形成され

ている。シリサイド層17は、組成式: $Co_{1-x}Ni_xSi_2$ で表わされるダイシリサイドであることが好ましい。ここで、xは、0.05以上0.5以下の範囲であり、好ましくは0.1以上0.5以下の範囲である。

【0027】シリサイド層17の層厚については、特に限定するものではない。不純物拡散領域15上に形成する場合は、不純物拡散領域15の拡散深さの1/3程度とすることが好ましい。また、ゲート電極13上に形成する場合は、ゲート電極13の厚さの1/3程度とすることが好ましい。具体的には、シリサイド層17の層厚は、例えば12 ~ 15 nmとすることができ

【0028】また、不純物拡散領域15には、配線層(図示を省略する。) が電気的に接続されている。この配線層は、不純物拡散領域15表面にシリサイド層17が形成されている場合は、このシリサイド層17を介して、不純物拡散領域15と電気的に接続されている。

【0029】上記半導体装置は、例えば、次のような方法により製造することができる。図2(A) ~ (D) は、上記半導体装置の製造方法の一例を説明するための工程図である。

【0030】まず、半導体基板11に、ゲート絶縁膜12、ゲート電極13、サイドウォール14および不純物拡散領域15を備えたMOSトランジスタを形成する(図2(A))。この形成方法については、特に限定するものではないが、例えば、次のような方法により実施することができる。まず、シリコン基板11上に、熱酸化法によりシリコン酸化膜を形成する。このシリコン酸化膜上に化学気相堆積(CVD)法によりポリシリコン膜を形成した後、シリコン酸化膜およびポリシリコン膜を、フォトリソグラフィおよびエッチングによりパターンニングして、ゲート絶縁膜12およびゲート電極13を形成する。続いて、ゲート電極13をマスクとして、シリコン基板11に不純物イオンを注入し、低濃度の不純物拡散領域18を形成する。その後、CVD法によりシリコン酸化膜を成膜した後、ドライエッチングなどの異方性エッチングを実施する。これにより、ゲート電極13の側壁にサイドウォール14が形成される。その後、ゲート電極13およびサイドウォール14をマスクとして、再度不純物イオンを注入し、ソース領域およびドレイン領域となる不純物拡散領域15を形成する。

【0031】続いて、コバルトおよびニッケルを含む金属層を形成するが、この工程に先立って、金属層を形成する表面を清浄化する工程を実施することが好ましい。この清浄工程は、例えば、スパッタエッチングなどにより、基板表面をエッチングすることによって実施できる。この場合、基板表面は、例えばを5 nm程度エッチングされる。

【0032】次に、コバルトおよびニッケルを含む金属層16を形成する(図2(B))。この金属層16の形成方法としては、例えば、次に示すような2通りの方法

を採用することができる。

【0033】第1の方法は、金属層16が、コバルトおよびニッケルを含む合金層である場合である。合金層の組成は、最終形態であるシリサイド層における所望の組成に応じて適宜設定することができる。例えば、合金層の組成を $\text{Co}_{1-x}\text{Ni}_x$ で表したとき、 x は0.05以上0.5以下、好ましくは0.1以上0.5以下の範囲とすることができる。また、合金層の層厚は、特に限定するものではないが、例えば3~15nm、好ましくは5~8nmである。

【0034】この方法において、金属層16の形成は、例えば、コバルトおよびニッケルを含む合金ターゲットを用いたスパッタリング法により実施することができる。この場合、合金ターゲットの組成は、所望の金属層の組成に応じて適宜設定することができる。

【0035】第2の方法は、金属層16が、コバルト層とニッケル層との積層膜である場合である。各層の層厚は、最終形態であるシリサイド層における所望の組成に応じて適宜設定することができる。例えば、コバルト層の膜厚(T_{Co})とニッケル層の膜厚(T_{Ni})との比($T_{\text{Co}}:T_{\text{Ni}}$)を95:5~50:50、好ましくは90:10~50:50の範囲とすることができる。また、金属層の膜厚(合計膜厚)は、特に限定するものではなく、前述した第1の方法と同様の範囲に設定することができる。

【0036】また、コバルト層とニッケル層との積層順序はどちらでもよい。すなわち、コバルト層上にニッケル層を形成しても、ニッケル層上にコバルト層を形成してもよい。また、積層膜の層数についても特に限定するものではなく、コバルト層およびニッケル層の少なくとも一方を複数層含む、3層以上の積層膜とすることも可能である。この場合、コバルト層の合計膜厚とニッケル層の合計膜厚との比を、前述したような範囲とすることができる。

【0037】この第2の方法においては、金属層16の形成は、例えば、コバルトターゲットを用いたスパッタリング法によりコバルト層を形成する工程と、ニッケルターゲットを用いたスパッタリング法によりニッケル層を形成する工程とをそれぞれ実施することにより行うことができる。

【0038】なお、前記第1および第2の方法のいずれにおいても、スパッタリング法としては、例えば、直流(DC)スパッタリング、高周波(RF)スパッタリング、マグネトロンスパッタリングなどを採用することができる。また、前記第2の方法の場合、金属層の形成方法として、CVD法を採用することも可能である。

【0039】続いて、熱処理を行うが、この熱処理に先立って、金属層16表面に保護膜を形成する工程を実施することが好ましい。この保護膜は、熱処理工程における金属層16の酸化を抑制するために形成されるもので

ある。保護膜としては、例えば、窒化チタン、窒化タングステンなどを用いることができ、その膜厚は、例えば5~15nmとすることができる。また、保護膜の形成方法については、特に限定するものではないが、例えばスパッタリング法を採用することができる。

【0040】次に、熱処理を行い、前記金属層16と半導体基板11およびゲート電極13を構成するシリコンとを反応させて、シリサイド層17を形成する(図2(C))。このとき、金属層16がシリコンに直接接触した領域、すなわち不純物拡散領域15上およびゲート電極13上において、シリサイド反応が進行し、シリサイド層17が形成される。しかし、その他の領域、すなわちサイドウォール14上や素子分離領域(図示せず)などでは、金属層16は未反応のまま残存する。

【0041】熱処理温度は、ゲート電極13の抵抗上昇を十分に抑制するため、できるだけ低温であることが好ましい。前述したように、本発明の製造方法においては、シリサイド層の前駆体となる金属層16がコバルトおよびニッケルを含有している。そのため、コバルト単体を用いた場合に比べて、シリサイド層形成のための熱処理温度を低温化することが可能であり、例えば750℃以下にまで低温化することが可能である。なお、熱処理温度の下限については、シリサイド反応が進行し得る温度であれば特に限定するものではないが、例えば650℃以上である。また、熱処理時間は、例えば30秒~2分間である。処理雰囲気については、金属層の酸化を抑制するため、窒素雰囲気などの不活性雰囲気または還元性雰囲気とすることが好ましい。

【0042】熱処理後、サイドウォール14上などに未反応で残存する金属層16を除去する(図2(D))。この未反応の金属層の除去は、例えば、ウェットエッチングにより実施することができる。この場合、エッチング液としては、例えば、塩酸または硫酸に過酸化水素を添加したものを使用できる。また、保護膜を形成した場合は、この未反応の金属層とともに、保護膜を除去することが好ましい。

【0043】また、熱処理条件(温度および時間の少なくとも一方)を調整することにより、形成されるシリサイド層17の層厚を制御することが可能である。例えば、熱処理を金属層16表面に未反応(シリサイド化していない)領域が残存するような条件で実施した後、この未反応領域を、サイドウォール14上に残存する未反応領域とともに除去するという方法を採用すれば、金属層16の層厚に関わらず、所望の層厚のシリサイド層17を形成することが可能である。

【0044】シリサイド層形成工程は、上記のように1段階の熱処理によって実施することが可能であるが、2段階以上の熱処理を含むことが好ましい。このような2段階以上の熱処理を含む方法は、例えば、次のようにして実施することができる。

【0045】まず、比較的低温の熱処理を行い、前記金属層をシリサイド化して、第1のシリサイド層を形成する（以下、この工程を「第一段階の熱処理」という。）。この第1のシリサイド層は、主に、コバルトおよびニッケルを含むモノシリサイドを含む。第一段階の熱処理における処理温度は、シリサイド反応が起こり得る温度であれば、特に限定するものではない。但し、高温過ぎると、シリサイド反応が横方向に進行し、サイドウォール上の金属層までもがシリサイド化する場合がある。そのため、処理温度は360～450℃の範囲とすることが好ましい。また、処理時間は、特に限定するものではないが、例えば10秒～2分間である。また、処理雰囲気については前述したものと同様である。

【0046】第一段階の熱処理を実施した後、未反応で残存する金属層を除去する。前述したように、未反応で残存する金属層には、サイドウォール上の金属層が含まれる。この金属層の除去は、例えば、塩酸または硫酸に過酸化水素を添加したエッチング液を用いたウェットエッチングにより実施することができる。

【0047】続いて、比較的高温の熱処理を行い、前記第1のシリサイド層とその下地部分のシリコンとを反応させ、第2のシリサイド層を形成する（以下、この工程を「第二段階の熱処理」という。）。この第2のシリサイド層は、主に、コバルトおよびニッケルを含むダイシリサイドを含む。

【0048】第二段階の熱処理温度は、特に限定するものではないが、ゲート電極の抵抗上昇を十分に抑制するため、できるだけ低温であることが好ましい。前述したように、本発明の製造方法においては、シリサイド層の前駆体となる金属層がコバルトおよびニッケルを含有しているため、第二段階の熱処理温度を低温化することが可能であり、例えば750℃以下にまで低温化することが可能である。なお、第二段階の熱処理温度の下限については、ダイシリサイドが十分に形成される温度であればよく、例えば650℃以上である。また、第二段階の熱処理時間は、例えば30秒～2分間の範囲であり、処理雰囲気については、第一段階の熱処理と同様である。

【0049】上記のようにしてシリサイド層17を形成した後、不純物拡散領域15と電氣的に接続された配線層などを適宜形成することにより、半導体装置が得られる。この工程は、例えば、次のようにして実施することができる。まず、基板全面に絶縁層を形成した後、不純物拡散領域15上方の絶縁層に開口部を形成する。絶縁層としては、例えばシリコン酸化膜などを使用することができ、その形成方法としては、例えばCVD法などを採用することができる。また、開口部の形成は、エッチングにより実施することができる。続いて、絶縁層上（開口部の内壁面を含む。）にバリア層を形成する。バリア層としては、例えば、基板側から順にTi層およびTiN層が積層した多層膜を使用することができ、そ

の形成方法としては、例えばスパッタリング法を採用することができる。

【0050】更に、開口部内を埋め込むように、バリア層上にタングステン層を形成した後、開口部以外の領域に存在するタングステン層およびバリア層を選択的に除去する。これにより、開口部内にタングステンが埋め込まれ、タングステンプラグが形成される。なお、タングステン層の形成は、例えばCVD法を採用することができる。その後、タングステンプラグ上に配線層を形成する。

【0051】上記説明においては、シリサイド層をゲート電極および不純物拡散領域（ソース・ドレイン領域）上に自己整合的に形成した、いわゆるシリサイド（SALICIDE: self-aligned silicide）トランジスタ構造を例に挙げた。しかしながら、本発明はこれに限定されるものではなく、前述したように、ゲート電極および不純物拡散領域の少なくとも一方にシリサイド層が形成されていればよい。

【0052】また、製造方法についても、同様に、シリサイド層を自己整合的に形成する方法に限定されるものではない。例えば、コバルトおよびニッケルを含む金属を基板全面に成膜し、これをフォトリソグラフィおよびエッチングによりパターンニングすることにより、シリサイド層を形成しようとする箇所のみに金属層を形成した後、熱処理を実施して前記金属層をシリサイド化してもよい。

【0053】

【実施例】（実施例1）まず、次のような方法により、サイドウォールを備えたMOSトランジスタを形成した。熱酸化法によりn型シリコン基板上に膜厚2.5nmのシリコン酸化膜を形成した後、CVD法により前記シリコン酸化膜上にポリシリコン膜を形成した。続いて、前記ポリシリコン膜上にフォトレジストを塗布し、これを露光・現像してパターンニングした。このフォトレジストをマスクとしたプラズマエッチングにより、前記ポリシリコン膜をパターンニングし、ゲート電極を形成した。形成されたゲート電極は、線幅を0.13μmとし、厚さを0.2μmとした。続いて、前記ゲート電極をマスクとして、前記シリコン基板にヒ素をイオン注入した。続いて、TEOSを用いたCVD法により膜厚50nmのシリコン酸化膜を成膜した後、プラズマエッチングを実施して前記シリコン酸化膜を全面エッチバックした。このとき、ゲート電極の側壁にはシリコン酸化膜が残存し、サイドウォールが形成された。次に、ゲート電極およびサイドウォールをマスクとして、前記シリコン基板に再度ヒ素をイオン注入した。このイオン注入により、濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のソース・ドレイン領域が形成された。

【0054】形成されたMOSトランジスタ全面に、Co-Ni合金ターゲットを用いたDCスパッタリングに

より、約10nm厚の金属層を堆積した。合金ターゲットの組成はCo: Ni=9: 1(原子比)とした。また、スパッタ条件は、次の通りである。なお、下記ガス流量は、単位時間当たりに導入されるガスの量を、標準状態(0℃、1気圧)における体積に換算して表したものである。

【0055】

使用ガス : Ar
 ガス流量 : 10ml/分
 圧力 : 0.1Pa
 DCパワー : 1kW

その後、窒素雰囲気中、450℃、60秒間の条件で第一段階の熱処理を行った。続いて、塩酸に過酸化水素を添加したエッチング液を用いたウェットエッチングにより、サイドウォール上に存在する未反応の金属層を除去した。次に、窒素雰囲気中、800℃、60秒間の条件で第二段階の熱処理を行った。これにより、ゲート電極およびソース・ドレイン領域表面に、コバルトおよびニッケルを含むシリサイド層が形成された。なお、前記シリサイド層の層厚は15nmであった。

【0056】得られた半導体装置において、ゲート電極の細線抵抗およびソース・ドレイン領域の接合リーク電流を測定した。その結果、ゲート電極の細線抵抗は約5.8Ω/□であり、接合リーク電流は約 1×10^{-10} A/cm²であった。なお、ゲート電極の細線抵抗は四探針法により測定し、シート抵抗値として表した。また、接合リーク電流としては、面積 3×10^{-6} μm²の接合領域に対して、コンタクト側(シリサイド層側)に4Vの逆バイアスを印加したときに流れる電流を測定した。

【0057】また、第二段階の熱処理における処理温度を変化させること以外は、上記と同様にして複数の半導体装置を作製し、ゲート電極の細線抵抗およびソース・ドレイン領域の接合リーク電流を測定した。その測定値より、処理温度と細線抵抗および接合リーク電流との関係を求めた。結果を、図3に実線で示す。

【0058】図3の実線に示すように、本実施例によれば、熱処理温度が比較的低い場合であっても、十分に低い接合リーク電流を達成することができることが確認できた。そのため、十分に低い接合リーク電流とシート抵抗値上昇の抑制とを両立し得る熱処理温度領域が広く、十分に低い接合リーク電流とシート抵抗値上昇の抑制との両立が容易であった。

【0059】(実施例2) 実施例1と同様にして、サイドウォールを備えたMOSトランジスタを形成した。形成されたMOSトランジスタ全面に、Niターゲットを用いたDCスパッタリングにより、約1nm厚のニッケル層を堆積した。なお、このスパッタリングは、ターゲットが異なること以外は、実施例1と同様の条件で実施した。更に、Coターゲットを用いたDCスパッタリン

グにより、約9nm厚のコバルト層を堆積した。なお、このスパッタリングは、ターゲットが異なることと、DCパワーを0.3kWとしたこと以外は、実施例1と同様の条件で実施した。これにより、ニッケル層およびコバルト層からなる2層構造の金属層を形成した。

【0060】続いて、実施例1と同様にして熱処理を実施し、ゲート電極およびソース・ドレイン領域表面に、コバルトおよびニッケルを含むシリサイド層を形成した。なお、前記シリサイド層の層厚は15nmであった。

【0061】得られた半導体装置において、ゲート電極の細線抵抗および接合リーク電流を測定したところ、細線抵抗は約5.8Ω/□であり、接合リーク電流は約 1×10^{-10} A/cm²であった。なお、測定方法は、前述した通りである。

【0062】また、実施例1と同様にして、処理温度とゲート電極の細線抵抗および接合リーク電流との関係を求めたところ、本実施例によっても実施例1と同様の結果が得られることが確認できた。

【0063】(比較例) 実施例1と同様にして、サイドウォールを備えたMOSトランジスタを形成した。形成されたMOSトランジスタ全面に、Coターゲットを用いたDCスパッタリングにより、約10nm厚のコバルト層を堆積した。なお、このスパッタリングは、ターゲットが異なること以外は、実施例1と同様の条件で実施した。

【0064】その後、実施例1と同様にして、第一段階の熱処理およびウェットエッチングを行った。次に、窒素雰囲気中、875℃、60秒間の条件で第二段階の熱処理を行った。これにより、ゲート電極およびソース・ドレイン領域表面に、コバルトシリサイド層が形成された。なお、前記シリサイド層の層厚は15nmであった。

【0065】得られた半導体装置において、ゲート電極の細線抵抗および接合リーク電流を測定したところ、細線抵抗は約6~20Ω/□であり、接合リーク電流は約 1×10^{-8} ~ 1×10^{-9} A/cm²であった。なお、測定方法は、前述した通りである。

【0066】また、実施例1と同様にして、処理温度とゲート電極の細線抵抗および接合リーク電流との関係を求めたところ、細線抵抗については、実施例1と同様の結果が得られることが確認できた。また、接合リーク電流についての測定結果は、図3に破線で示すとおりであった。

【0067】図3の破線に示すように、本比較例においては、実施例と同等の接合リーク電流を実現するためには、実施例より高い熱処理温度が必要であった。そのため、十分に低い接合リーク電流とゲート電極の細線抵抗上昇の抑制との両立が非常に困難であった。

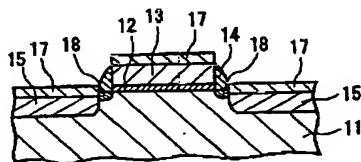
【0068】

【発明の効果】以上説明したように、本発明の半導体装置によれば、電極および不純物拡散領域の少なくとも一方の表面に、シリコン、コバルトおよびニッケルを含むシリサイド層を備えるため、前記電極の低抵抗化と、前記拡散領域における接合リーク電流の低減とを両立することができる。

【0069】また、本発明の製造方法によれば、電極および不純物拡散領域の少なくとも一方の表面にコバルトおよびニッケルを含む金属層を形成し、熱処理により前記金属層をシリサイド化してシリサイド層を形成するため、シリサイド層形成工程における加熱温度を比較的低温で実施した場合であっても、接合リーク電流を十分に低減することができる。よって、前記電極の抵抗上昇を抑制しながら、尚且つ、接合リーク電流を十分に低減することが容易となる。

【図面の簡単な説明】

【図1】



【図1】 本発明の半導体装置の一例を示す断面図である。

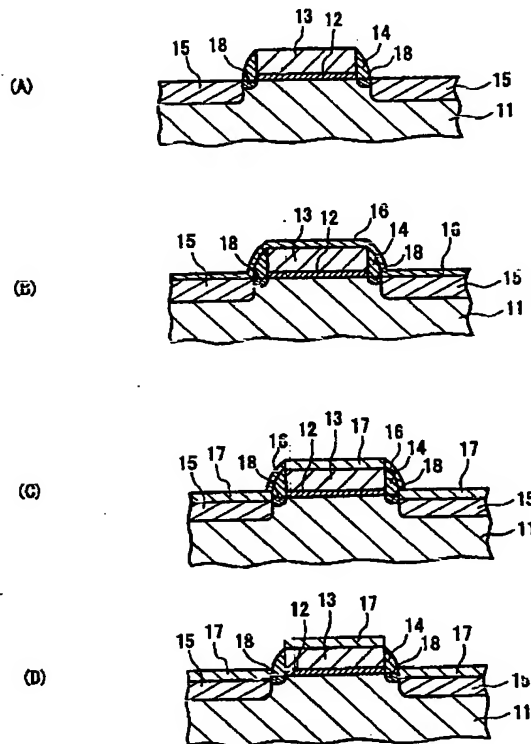
【図2】 本発明の製造方法の一例を説明するための工程断面図である。

【図3】 実施例および比較例で作製した半導体装置におけるゲート電極の細線抵抗および接合リーク電流の熱処理温度依存性を示す図である。

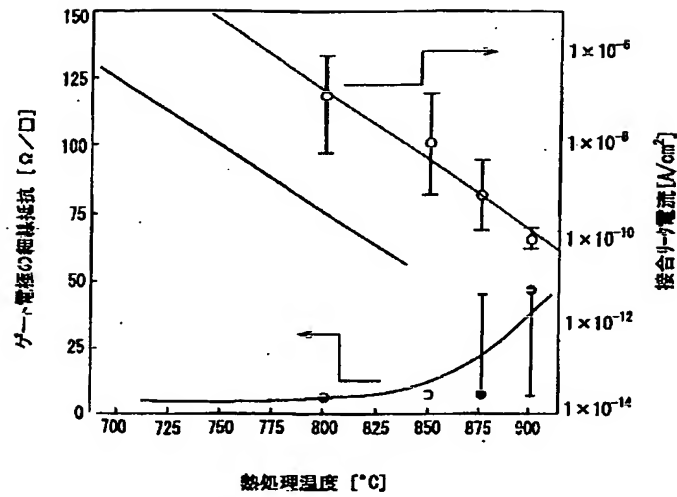
【符号の説明】

- 11 シリコン基板
- 12 ゲート絶縁膜
- 13 ゲート電極
- 14 サイドウォール
- 15 不純物拡散領域
- 16 金属層
- 17 シリサイド層
- 18 低濃度不純物拡散領域

【図2】



【図3】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 BB14 BB19 BB38
 BB40 CC01 CC05 DD02 DD04
 DD16 DD22 DD26 DD37 DD43
 DD64 DD65 DD78 DD84 FF14
 FF22 GG09 GG10 GG14 HH12
 HH14 HH16 HH20
 5F033 HH04 HH25 JJ18 JJ19 JJ33
 KK01 KK25 LL04 LL10 NN06
 NN07 PP06 PP15 QQ08 QQ09
 QQ12 QQ19 QQ31 QQ58 QQ59
 QQ65 QQ70 QQ73 QQ84 QQ92
 RR04 SS04 SS11 TT08 WW00
 XX00 XX01 XX03 XX10 XX20
 5F140 AA01 AA10 AA24 AA39 BA01
 BE07 BF04 BF11 BF19 BG08
 BG12 BG14 BG28 BG30 BG32
 BG34 BG35 BG38 BG44 BG45
 BG52 BG53 BH15 BH49 BJ09
 BJ11 BJ17 BJ20 BJ27 BK02
 BK09 BK13 BK24 BK26 BK29
 BK30 BK34 BK35 BK38 BK39
 CC03 CC12 CF04

THIS PAGE BLANK (USPTO)